

⑫ 公表特許公報(A)

昭61-502993

⑬ 公表 昭和61年(1986)12月18日

⑭ Int. Cl. ⁴	識別記号	庁内整理番号	審査請求 未請求	予備審査請求 未請求	部門(区分)	7(2)
H 01 L 27/08 21/265 21/76 29/78	1 0 2	6655-5F 7738-5F 7131-5F 8422-5F				

(全 12 頁)

⑭ 発明の名称 3 ウェル CMOS 技術

⑮ 特 願 昭60-502457

⑯ 出 願 昭60(1985)5月22日

⑰ 翻訳文提出日 昭60(1985)12月9日

⑱ 国際出願 PCT/US85/00990

⑲ 国際公開番号 WO85/05736

⑳ 国際公開日 昭60(1985)12月19日

優先権主張 ㉑ 1984年5月25日 ㉒ 米国(U S) ㉓ 614418

⑳ 発 明 者	ジョイ、リチャード・シー	アメリカ合衆国カリフォルニア州95030・ロスガトス・チェリーヒルコート 103
㉑ 発 明 者	バートラ、クルサイム・ラル	アメリカ合衆国カリフォルニア州95104・キューベルティーン・バージニアスワンプレース 10306
㉒ 出 願 人	アメリカン・マイクロシステムズ・インコーポレイテッド	アメリカ合衆国カリフォルニア州95051・サンタクララ・ホームステッドロード 3800
㉓ 代 理 人	弁理士 大島 陽一	
㉔ 指 定 国	DE(広域特許), FR(広域特許), GB(広域特許), JP, NL(広域特許), SE(広域特許), US	

請求の範囲

1. 半導体構造であって、

第1の導電形式を有する基層と、

前記基層よりも高い導電率を有すると共に前記第1の導電形式を有し、かつ前記基層内に形成された第1のウェルと、

前記基層よりも高い導電率を有すると共に前記第1の導電形式とは異なる第2の導電形式を有し、かつ前記基層内に形成された第2のウェルと、

高い接合破壊電圧を有するデバイスを形成するべく、前記基層と同一のオーダの導電率を有すると共に前記第1または前記第2の導電形式を有し、かつ前記基層内に形成された第3の領域とを有し、

前記第1、第2及び第3のウェル又は領域の端縁部が自動的に自己整合されることを特徴とする半導体構造。

2. 前記第3の領域が、前記第1の導電形式を有することを特徴とする請求の範囲第1項に記載の半導体構造。

3. 前記第3の領域が、前記第2の導電形式を有することを特徴とする請求の範囲第1項に記載の半導体構造。

4. 前記第3の領域が、前記基層の一部からなることを特徴とする請求の範囲第1項に記載の半導体構造。

5. 前記基層の低抗率が、約30~100オーム-cmの範囲であることを特徴とする請求の範囲第1項に記載の半導体構造。

6. ゲートを有すると共に前記第1のウェル内に形成されたソース及びドレインを有する第1のトランジスタと、

ゲートを有すると共に前記第2のウェル内に形成されたソース及びドレインを有する第2のトランジスタと、

ゲートを有すると共に前記第3の領域内に形成されたソース及びドレインを有する第3のトランジスタとを備えることを特徴とする請求の範囲第1項に記載の半導体構造。

7. 前記基層がシリコンからなり、約 $1 \times 10^{14} \sim 2.5 \times 10^{14}$ 原子/cmの濃度のP型ドーパントを含み、前記第1のウェルが、約 $8 \times 10^{14} \sim 3 \times 10^{16}$ 原子/cmの濃度のP型ドーパントを含み、前記第2のウェルが、約 $8 \times 10^{14} \sim 3 \times 10^{16}$ 原子/cmの濃度のN型ドーパントを含み、前記第3の領域が、約 $1 \times 10^{14} \sim 4 \times 10^{14}$ 原子/cmの濃度のP型ドーパントのを含むことを特徴とする請求の範囲第1項に記載の半導体構造。

8. 前記接合破壊電圧が約20Vよりも高いことを特徴とする請求の範囲第7項に記載の半導体構造。

9. 半導体基層内にウェルを形成するための方法であって、前記基層上に薄い酸化膜を形成する過程と、

前記薄い酸化膜の上に窒化シリコン膜を形成する過程と、

以下の過程、即ち

フォトリソグラフ膜を被着する過程と、

前記フォトリソグラフ膜の一部を除去することにより、前記窒化シリコン膜の一部を露出する過程と、

特表昭61-502993 (2)

前記窒化シリコン膜及び前記薄い酸化膜の露出部分を除去することにより前記基層の一部を露出させる過程と、

選択された濃度及び導電形式を有するドーパントを前記基層の前記露出部分内に注入することにより、前記濃度により定められる破壊電圧を有すると共に、選択された前記導電形式を有するウェルを形成する過程と、

前記基層の前記露出部分を酸化することにより、前記露出部分上に厚い保護酸化膜を形成し、前記ドーパントを前記基層中に拡散させる過程とを

少なくとも2回繰返す過程と、

前記過程を十分な回数繰返すことにより所望の数の領域を形成した後に、前記厚い保護酸化膜を除去する過程とを備えることを特徴とするウェルの形成方法。

10. 少なくとも2回繰返される前記過程が3回繰返されることを特徴とする請求の範囲第9項に記載のウェルの形成方法。

11. 前記第1の導電形式がNであって、前記第2の導電形式がPであることを特徴とする請求の範囲第9項に記載のウェルの形成方法。

12. 前記第1の導電形式がPであって、前記第2の導電形式がNであることを特徴とする請求の範囲第9項に記載のウェルの形成方法。

選択された導電形式及び選択された濃度を有するドーパントを前記基層の前記露出部分に注入することにより、選択された前記濃度により定められる破壊電圧を有すると共に、選択された前記導電形式を有するウェルを形成する過程と、

前記基層の前記露出部分を酸化させることにより、前記露出部分上に、厚い酸化保護膜を形成すると共に、前記ドーパントを前記基層中に拡散させる過程とを

少なくとも1回繰返す過程と、

前記過程を所要回数繰返した後に、最後のウェル領域を形成するにあたって、

フォトリジスト膜を形成する過程と、

前記フォトリジスト膜の一部を除去することにより前記窒化シリコン膜の一部を露出する過程と、

選択された導電形式及び選択された濃度を有するドーパントを、前記窒化シリコン膜及び前記薄い酸化膜の前記露出部分を自通して、前記基層中に注入することにより、選択された前記濃度により定められる破壊電圧を有すると共に選択された前記導電形式を有するウェルを形成する過程と、

選択された前記導電形式を有する前記ドーパントを前記基層中に拡散させる過程と、

前記窒化シリコン膜、前記薄い酸化膜及び前記厚

い酸化膜を除去する過程とを備えることを特徴とするウェルの形成方法。

13. 前記第1の導電形式を有するドーパントが燐からなり、前記第2の導電形式を有する前記ドーパントが硼素からなることを特徴とする請求の範囲第11項に記載のウェルの形成方法。

14. 前記第1の導電形式を有するドーパントが硼素からなり、前記第2の導電形式を有するドーパントが燐からなることを特徴とする請求の範囲第12項に記載のウェルの形成方法。

15. 少なくとも2回繰返される前記過程の間に、前記フォトリジストの一部を除去する過程中に、前記厚い保護酸化膜の一部をも露出させ、隣接するウェル同士の自動的な整合を達成するようにしてなることを特徴とする請求の範囲第9項に記載のウェルの形成方法。

16. 半導体基層中にウェルを形成するための方法であって、

前記基層上に薄い酸化膜を形成する過程と、

前記薄い酸化膜上に窒化シリコン膜を形成する過程と、

以下に記載された過程、即ち、

フォトリジスト膜を形成する過程と、

前記フォトリジスト膜の一部を除去することにより前記窒化シリコン膜の一部を露出させる過程と、

前記窒化シリコン膜及び前記薄い酸化膜の露出部分を除去することにより前記基層の一部を露出させる過程と、

い酸化膜を除去する過程とを

備えることを特徴とするウェルの形成方法。

17. 少なくとも1回繰返される前記過程が1回行われることを特徴とする請求の範囲第16項に記載のウェルの形成方法。

18. 少なくとも1回繰返される前記過程が2回行われることを特徴とする請求の範囲第16項に記載のウェルの形成方法。

19. 前記第1の導電形式がNであって、前記第2の導電形式がPであることを特徴とする請求の範囲第16項に記載のウェルの形成方法。

20. 前記第1の導電形式がPであって、前記第2の導電形式がNであることを特徴とする請求の範囲第16項に記載のウェルの形成方法。

21. 前記第1の導電形式を有する前記ドーパントが燐からなり、前記第2の導電形式を有する前記ドーパントが硼素からなることを特徴とする請求の範囲第19項に記載のウェルの形成方法。

22. 前記第1の導電形式を有する前記ドーパントが硼素からなり、前記第2の導電形式を有する前記ドーパントが燐からなることを特徴とする請求の範囲第20項に記載のウェルの形成方法。

23. 前記フォトリジスト膜の一部を除去することにより前記窒化シリコン膜の一部を露出させる過程が、前記厚い保

酸化膜の一部をも除去させることにより、隣接するウェル間の自動的な整合を達成するものであることを特徴とする請求の範囲第16項に記載のウェルの形成方法。

明 細 書

3ウェルCMOS技術

リチャード・シー・ジョイ

タルサイム・ラル・バートラ

本出願は、同一発明者による1984年5月25日付一部継続出願第06/614,418号である。

発明の背景

本発明は、3ウェルCMOS構造及び、デバイス形成のための少なくとも3種の活性領域を提供する製造方法に関する。高い破壊電圧を有するデバイスを形成するためには、活性領域が、NまたはP型の軽度ドーピングされた領域を有すると良く、低い破壊電圧を有するNチャンネルデバイスを形成するためには、活性領域が、中程度乃至高度にドーピングされたPウェルを有すると良く、また、低い破壊電圧を有するPチャンネルデバイスを形成するためには、活性領域が、中程度乃至高度にドーピングされたNウェル領域を有すると良い。

第1a図は公知技術に基づくPウェルCMOS構造を示す。Pウェル1はシリコン基層2内に拡散している。シリコン基層2は、約 $2 \times 10^{15} \sim 4 \times 10^{15}$ 原子/cm²の範囲のレベルにN型ドーパントにより中程度にドーピングされている。次いで、Pウェル1内に、ゲート6を有するNチャンネルデバイス3のソース及びドレイン領域4、5を形成し、N型基層2内にゲート10を有するPチャンネルデバイス

7のソース及びドレイン領域8、9を形成する。

製造過程に於けるばらつきのために、実用上は、Pウェル及びN基層にて行われる実際のドーピングのレベルと所望のドーピングのレベルとの間には幾分かの偏差が存在する。このような偏差の影響を小さくするために、Pウェル1のドーピングは、N基層2のドーピングのレベルよりも少なくとも1桁高くされ、それにより、製造過程のばらつきに拘らず、Pウェル1は、十分に高いP型ドーパントの濃度を有することとなる。

デバイスの集積度、即ち単位面積当りのデバイスの数を増大するにつれて、公知技術に基づく構造に於てはスケールダウンの問題が生じてくる。例えば、デバイス7のP+領域8とドレイン領域9との間の距離が小さくなるにつれて、Pチャンネルトランジスタ7の短縮化されたチャンネルに於ける閾電圧値等の電気的パラメータを適切なものにするためにN基層2のドーピングのレベルを高めなければならない。しかしながら、基層2のドーピングを高めるためには、上記した理由により、Pウェル1のドーピングのレベルも高めなければならない。

Pウェル1のドーピングレベルを高めると、N+ソース及びドレイン領域4、5と、Pウェル1との間の接合部静電容量が増大する。実際に、0バイアス下にある片面接合部に於て、接合部の静電容量は、"MOS INTEGRATED CIRCUITS"(Engineering Staff of American Micro-Systems 著、

Robert E. Krieger Pub. Co., 1979年発行)の第45～46頁に記載されているように、接合部の軽度ドーピングされている側のドーパントの濃度の平方根に比例して増大する。この静電容量の増大は、トランジスタ3のスイッチング速度を損うという副作用を伴う。

このスケールダウンの問題を克服するために、Parrilloらにより、"TWIN-TUB CMOS-A TECHNOLOGY FOR VLSI CIRCUITS"(IEEE Tech. Dig., Int. Electron Device Meet., 1980年)の第752～755頁に於いて、2タプ(twin tub)CMOS技術が開発された。第1b図は、この2タプ構造を示す。

この構造は、N+基層21上に形成された軽度ドーピングされたエピタキシャル領域25を有する。N+基層を用いることにより、基層の抵抗を減少させ、ラッチアップを防止することができる。ラッチアップとは、後記するように第1b図に示された構造内の寄生的バイポーラトランジスタをオンさせることを意味する。

次いで、Pウェル23及びNウェル24を、イオン注入によりエピタキシャル膜20内に形成する。これは、図示されない酸化膜/窒化膜マスクにより範囲を限定し、イオン注入を行うと共にNウェル24を選択的に酸化し、残存するマスクを除去すると共に酸化膜マスクにより形成されたNウェル24に自己整合するようにPウェル23を注入することにより自己整合的に行うことができる。

特表昭61-502993(4)

Pウェル23及びNウェル24は、それぞれの活性領域の性能を最適化するために、個別にドーパされる。例えば、活性領域は、Pウェル23に形成されたゲート27、ゲート絶縁膜33、ソース領域25及びドレイン領域26を有するトランジスタ28、及びNウェル24に形成されたゲート31、ゲート絶縁膜33、ソース領域29及びドレイン領域30を有するトランジスタ32を含む。従って、Pチャンネルデバイス32の寸法が小さくなったことに応じてNウェル24のドーピングのレベルを高めるために、Pウェル23のドーパントの濃度を高める必要がなくなる。重要なことは、この2ウェル構造に於ては、寄生的なバイポーラトランジスタが形成されることである。例えば、N+領域26、Pウェル23及びN+基層21により寄生的なNPNトランジスタが形成される。しかしながら、N+基層は抵抗値が低く、従ってラッチアップが防止される。ラッチアップは良く知られた問題であって、その解析が、"ELIMINATION OF LATCH-UP IN BULK C-MOS"(IEDM Paper 10.2, December 8-10, Washington, D.C.)に於て行われている。

前記した公知の2タブ構造に於ては、Nウェル24及びPウェル23がいずれも高度にドーパされている。Parilloは、各ウェルの表面にて、約 10^{16} 原子/cm²の濃度を有するドーパントを用いている。両ウェルのドーピングのレベルが比較的高く、この構造は、例えば20V以上の高電圧下に於て動作にするべく設計されたトランジスタ、ダ

イオード、抵抗器等のデバイスを集積するのに適していない。特に、公知の2タブ構造は、約20V以上の高い接合破壊電圧を必要とするEPROM(イレーサブル・プログラマブル・リードオンリー・メモリ)或いはEEPROM(エレクトリカル・イレーサブル・プログラマブル・リードオンリー・メモリ)等を集積するためには適していない。

同一チップ上に高電圧及び低電圧デバイスの両者を共存させ、異なるウェルごとに異なるドーピングレベルを達成する必要に加えて、より高速であって低コストであり、しかも歩留まりが高く、小型のデバイスを形成し得る構造を製造するための方法を開発することが望まれている。また、同一チップ上の異なるウェルに、異なるドーピングレベルを達成すると共に異なるドーパントを用いるという目的を達成するために種々の公知方法が開発されている。

第2a図及び第2b図に示された方法は、窒化膜/酸化膜に複数の窓を設け、次いで、半導体内に拡散絶縁領域、ベース領域及びコレクタ接触領域を設け得るように表面を露出させるものである。これらの領域は、所定の手順により、マスクが用いられ、露出され、次いでドーパされる。窓と窓との間に残された酸化膜/窒化膜の領域は、ウェルの端縁部を形成し、これらの領域に、次に用いられるフォトリソマスクの端縁部が形成される。マスクの端縁部が、その前に形成された窒化膜/酸化膜の領域上に形成さ

れ、窒化膜/酸化膜がウェルの端縁を形成するために利用されるため、マスクの整合誤差がそれ程厳しくない。米国特許第3,928,081号は、このようなマスクの整合誤差を排除するための方法を開示している。

第3a図及び第3b図に示されているように、本発明の発明者の一人であるバートラ等に付与された米国特許第4,450,021号は、ドーパされるべき領域110を界定するためのマスクを用い、同じマスクをドーパされた領域上に保護膜111を形成するために用いる技術を教示している。この技術によれば、酸化膜の端縁が、ドーパされるべき領域を界定するため、保護膜111の端縁の整合が確保される。マスクを除去すると、露出した第2の領域112が、保護膜111により覆われた第1の領域に対して干渉することなくドーパされるように自動的に整合される。この方法によれば、一つのマスクング工程により二つのウェルをドーパすることができ、マスクを形成すると共にそれを使用するために要する時間を節約し、ドーパされるべき領域の自動的整合を達成することができる。この米国特許に開示された方法は、チップ内のソース及びドレイン領域に注入を行う場合に使用し得る旨記載されている。

このように、デバイスの一部を、後に形成される部分のためのマスクとして用いることは、整合誤差を防ぐための方法として周知であった。

米国特許第4,277,291号明細書は、第4a図及

び第4b図に示されたような、Pドーピング及び拡散工程の間に、高度にNドーパされた酸化膜マスクを形成し、かつ互いに隣接すると共に自己整合し得るN及びPウェルを形成するために用いることのできる別の方法を開示している。Nドーパされた酸化膜マスクは、Pドーピング工程の間に、マスクされた部分がドーパされるのを防止し、ドーパされた酸化膜から、基層に向けてNドーパントの拡散を行い、同時に、Pドーパされた領域を基層に拡散させ、最終的には、自己整合したN及びPウェルを同時に形成することができる。

本発明は、軽度ドーパされた基層内に、基層と同一の導電形式を有する中程度乃至高度にドーパされた第1のウェルと、基層に対して逆の導電形式を有する中程度乃至高度にドーパされた第2のウェルと、基層と同一のオーダの導電率を有するいずれかの形式の軽度ドーパされた第3の領域とからなるものであって良い、少なくとも3つの活性領域を有する半導体構造を提供するものである。本発明の或る実施例によれば、第3の領域が、基層そのものの一部をなしている。

本発明は、更に、基層内に形成されるウェルの数よりも少ないマスク工程を必要とする半導体構造を形成するための方法を提供する。この方法の二つの実施例について以下に説明するが、いずれの場合も、2回のフォトリソマスク工程を用いるのみで3ウェル基層を形成することができる。い

特表昭61-502993(5)

ずれの実施例も、単一のチップ上に形成された複数のデバイスが厚いフィールド酸化膜により絶縁されるような応用の適するものである。第1の実施例によれば、隣接するウェル同士が互いに整合していない。第1の方法は、活性デバイスとなる領域上に酸化膜/窒化膜を形成し、この窒化膜を通して、活性領域の基層及び隣接する露出フィールド酸化膜をドーピングする。第2の方法によれば、ドーピングされるべき領域が露出され、デバイスの活性領域が形成されるべき領域をドーピングし、次いでこの領域を厚い酸化物の膜により覆う。第2のフォトリソマスクを用いることにより、薄い酸化膜/窒化膜の領域を除去し、このとき、新たに形成された厚い酸化膜及びまたは酸化膜/窒化膜が第2の露出領域の端縁部を郭成するために用いられ、この手順が他の領域について繰返される。このような手順を繰返すことにより、後に形成されるウェル領域が、既に形成されたウェル領域と自動的に整合し、前記した方法に対して順次ウェル領域を形成するための工程に於て、ウェルの数よりも少ない回数マスク工程を行うのみで済む。これらの方法は、いずれも先に用いられたフォトリソマスクと新たに用いられるフォトリソマスクを正確に整合させる必要がない。更に別の実施例についても後に説明する。

図面の簡単な説明

第1a図は従来技術に基づくPウェルCMOS構造を示す。

つのウェルを形成するための手順を示す。

第8i図～第8j図は、2つの注入されかつ自己整合したウェルと、活性領域の形成のために用いることのできる自己整合した高電圧用の第3の領域とを有するデバイスを示す。

第9図～第11図は、本発明に基づき第7a図～第7j図または第8a図～第8h図に示されたようにして形成された基層上にデバイスを形成するために用いられる周知方法の手順を示す。

実施例の説明

本発明に基づき形成された構造の一実施例が第5図の断面図により示されている。領域40は、一般にはシリコンからなる軽度ドーピングされたP型半導体基層を示す。或いは、領域40は、下側の基層の上側に形成されたエピタキシャル半導体材料であっても良い。説明を簡略化するために、以下の記載に於ては、領域40を基層と称することにする。

本実施例に於て、基層40は、約30～100オーム-cmの範囲の抵抗率を有するP型シリコン半導体である。P型シリコン基層の場合、約30～100オーム-cmという抵抗率は、基層中に約 $1 \times 10^{14} \sim 2.5 \times 10^{14}$ 原子/cmの濃度の不純物が含まれていることに対応する。これは、"Physics and Technology of Semiconductor Devices" (Grove著、John Wiley & Sons 1967年発行)の第111～1

第1b図は従来技術に基づく2タブCMOS構造を示す。

第2a図及び第2b図は、順次ウェルを形成するために個別のマスクを用いるに際して、ドーピングされたウェルを形成するための窓を形成するための従来技術に基づく方法を示す。

第3a図及び第3b図は、ドーピングされるべきウェルの端縁部を郭成する酸化膜領域を用い、フォトリソマスクを除去する前に、ドーピングされた領域に酸化膜または窒化膜のマスクを成長させる公知技術に基づく方法を示す。

第4a図及び第4b図は、或る導電形式を有するドーパントを注入し、同時に露出した隣接する領域に反対の導電形式を有するドーパントを注入するような、高度にドーピングされた酸化膜のマスクを用いることにより隣接するウェルを成長させるための従来技術に基づく方法を示す。

第5図は、本発明に基づき形成された3ウェルCMOS構造の一実施例を示す。

第6図は、本発明に基づき形成された3ウェルCMOS構造の第2の実施例を示す。

第7a図～第7j図は、活性領域がウェルの形成後に形成され、隣接するウェルが自己整合していないような、本発明に基づく方法の実施例により、異なる組成を有する3つのウェルを形成するための手順を示す。

第8a図～第8h図は、隣接するウェルが自己整合されるような本発明に基づく方法により異なる組成を有する3

13頁に記載されている。一般に、基層の抵抗率は、基層内の不純物の濃度が高まるにつれて増大する。

抵抗率 ρ は、導電率 σ の逆数であるから(即ち $\sigma = 1/\rho$)、抵抗率 ρ に代えて導電率 σ を用いることもできる。

また、いくつかの種類のPN接合部の破壊電圧は、基層中の不純物の濃度に反比例する。例えば、P領域及びN領域の不純物の濃度がこれら領域中に於て均一であって、接合部の片側の不純物の濃度が、他方の側の不純物の濃度よりも大幅に高いような、極めて非連続的な接合部である所謂片側ステップ接合部は、前記文献の第194頁に記載されているように、臨界電界値が一定の場合、基層のドーパントの濃度に反比例する接合破壊電圧を有する性質を有する。同様に、極めて浅い拡散接合部は、片側ステップ接合部と極めて類似した挙動を示す。前記文献の第159頁を参照されたい。

従って、基層40及び領域43のP型不純物の濃度が、 $1 \times 10^{14} \sim 2.5 \times 10^{14}$ 原子/cm程度のオーダーの低いものであるために、(20V以上の)高い接合破壊電圧を有する活性デバイスを領域43に形成することができる。別の実施例に於ては、領域43は、単に基層40の一部からなる。

Nウェル41は、一般にイオン注入により基層40内に形成されるN型領域であって、例えば、約 $8 \times 10^{14} \sim 3 \times 10^{16}$ 原子/cmのオーダーのN型ドーパントにより中程度

特表昭61-502993 (6)

～高度にドーピングされている。或いは、Nウェル41を形成するために周知の拡散工程を用いることもできる。Nウェル41は、例えば、Pチャンネルトランジスタ、低抵抗器或いはダイオード（図示せず）等の低電圧デバイスを形成するために適する。

Pウェル42は、基層40内に、（一般にイオン注入または拡散により）形成された中程度乃至高度にドーピングされたP型半導体材料の領域である。Pウェル42内のP型ドーパントの濃度は、約 $8 \times 10^{14} \sim 3 \times 10^{16}$ 原子/cm³の範囲である。Pウェル42は、例えば、低抵抗器、ダイオード、またはNチャンネルトランジスタ等の低電圧デバイスを形成するために適する。

第5図のPウェル42及びNウェル41は、形成されるPチャンネル及びNチャンネルデバイスの、ドーパントのレベルに依存する閾電圧値等の所望の電気的特性を達成するために、それぞれ別個にドーピングされる。領域43は、P型半導体材料の軽度ドーピングされた領域である。一般に、領域43内のドーパントのレベルは、約 $1 \times 10^{14} \sim 4 \times 10^{14}$ P型原子/cm³の範囲で、Pウェル42及びNウェル41に形成された低電圧デバイスに密接して（20V以上の）高い接合破壊電圧を有するデバイスを形成するのに適する。

上記した実施例は、P型基層を用いるものであった。N型基層を用いることもでき、その場合には領域43がP型

導電性を有することとなる。しかしながら、N型基層を用いた場合、前記文献の第113頁に記載されているように、一般に、同一の抵抗率を得るためには必要となる不純物の濃度が低くなる。例えば、基層の10～50オーム-cmの抵抗率は、約 $4 \times 10^{14} \sim 1 \times 10^{14}$ 原子/cm³のN型不純物の濃度に対応する。

ここで注意すべきことは、第5図に示されている領域41、42及び43の配置が重要でない点である。例えば、第6図に示された実施例の場合、Nウェル51及び領域53が、Pウェル52により分離されている。この実施例の場合、領域53は、基層50と同様の導電形式を有し、しかも基層50と同程度の導電率を有する。

本発明に基づく3ウェルCMOS構造するための一つの方法が第7a図～第7j図に示されている。別の方法が、第7a図から第8a図～第8h図により示される。いずれの場合も、形成過程が、N型またはP型の軽度ドーピングされた基層60から開始する。基層60がP型の場合、ドーパントの濃度が、約 1×10^{14} 原子/cm³とするのが一般的である。N型の基層を用いる場合にはドーパントの濃度が低くなる。

第7a図は、基層となる酸化膜と、その上に形成された窒化膜とを有する軽度ドーピングされた半導体構造を示す。基層となる酸化膜61は、例えば、 $O_2 + 3HCl$ の雰囲気にて約45～75分間、約100℃に於ける熱酸化に

より約500～100Åの範囲の厚さに基層60上に形成されたものである。

窒化膜62は、例えば低圧気相成長（LPCVD）により約1500Åの厚さに、基層となる酸化膜61上に形成されたものである。

第1の実施例

本発明に基づき個別に注入されたウェル領域を形成するための或る方法によれば、第7a図に示された基層となる酸化膜61と窒化膜62とが、第7b図に示されたデバイスの活性領域を形成するべくパターン化される。隣接するフィールド領域が露出されるが、活性領域は酸化膜61及び窒化膜62により覆われたままである。このパターン化は、フォトリソスト81を窒化膜62に向けスピニングによりコーティングし、次いでソフトベイクすることにより達成される。フィールドマスクがウェハフラットに整合され、マスクにより露出したフォトリソストの部分が化学線に曝露される。次いで、曝露されたフォトリソスト81の部分が現像により除去される。次いでフォトリソスト81がハードベイクされ、窒化膜及び酸化膜のマスクされなかった領域を除去するために用いられる腐蝕液による影響を受けないようにする。一般に、窒化膜のマスクされなかった領域を除去するためにプラズマエッチングが用いられ、HF緩衝溶液が酸化膜領域を除去するために用いられる。フォトリソスト81の残りの領域は、第7c図に示された

構造64を形成するために、エッチング過程の後に除去される。当業者であれば容易に理解し得るように、所望に応じて、（第7c図の構造に残された酸化膜61及び窒化膜62の部分の下側の基層60内に位置する活性領域等の）活性領域を形成するためのフォトリソスト81及びマスク工程は、すべての所望のウェル領域を形成するまで延期することもできる。

フォトリソスト82のPウェルマスクが、Pウェル（Nチャンネル）フィールド及び活性領域65を露出させた構造64上に形成される。この過程に於て、第7d図に示されているように、フィールド領域は完全に露出しており、活性領域は窒化膜/酸化膜サンドウィッチ61、62により部分的に保護されている。

次いで、遷素を用いて、約 3×10^{13} イオン/cm²の濃度及び約25KeVのエネルギーレベルにて、P型ドーパントのフィールド注入を行う。この過程は、フィールド領域内の浅い領域に遷素を注入し、フィールド反転電位を高め、寄生的なフィールドデバイスの形成を防止する。

次に、遷素を用いて、約 6×10^{12} イオン/cm²及び約120KeVのエネルギーレベルにてPウェル注入を行う。これは、Pウェルを、窒化膜/酸化膜を貫通して注入するのに十分なレベルである。

第7e図に示されているように、前記と同様にして、フォトリソストのNウェルマスクを用いて、Nウェル（Pチ

特表昭61-502993 (7)

チャンネル) フィールド及び活性領域71を露出する。次いで、燐を用いることによりN型ドーパントのフィールド注入を行う。このNウェル注入は、約 2×10^{12} イオン/ cm^2 の濃度及び約150 KeVのエネルギーレベルにて燐を用いて行う。

軽度ドーパされた領域が高電圧領域として機能する場合には、高電圧領域マスクを形成する必要がない。しかしながら、高電圧領域のドーパントの形式或いはドーパントの濃度を調整したい場合には、フォトレジストを用いて図示されない高電圧領域マスクを形成し、高電圧デバイスのためのフィールド及び活性領域を露出させる。次に、選択された形式の不純物を用いることにより高電圧領域注入を行う。例えば、P型高電圧領域に対して、約 $1 \times 10^{14} \sim 4 \times 10^{14}$ P型原子/ cm^2 の濃度のドーパントが用いられる。或る実施例に於ては、高電圧領域のためのフィールド注入が、高電圧領域のドーパントの形式に応じて、前記したようなN型またはP型フィールド注入と共に行われる。

第7e図は、Nウェルマスクの形成、Nウェル注入、Nウェルマスクの除去、Pウェルマスクの形成、Pウェル注入、Pウェルマスクの除去、高電圧領域マスクの形成、高電圧領域注入及び高電圧領域マスクの除去の後の半導体構造を示す。

第7f図に示されているように、ウェハを約1150℃の酸素雰囲気内に約8乃至12時間曝露することにより、

Nウェル、Pウェル及び高電圧領域注入層内のドーパントが基層60内に拡散され、同時に、約1000Åの厚さのフィールド酸化膜101を形成する。フィールド酸化膜101は、約1000℃の湿った酸素雰囲気にて2乃至4時間成長し、最終的に約6000~10000Åの厚さとなる。フィールド酸化膜101は、基層60内に形成された隣接する活性領域間を電気的に絶縁する働きをする。第7f図は、Nウェル71、高電圧領域68及びPウェル65が基層内に形成された状態でフィールド酸化を行った後の半導体構造を示す。第7f図の高電圧領域68の周囲の破線は、高電圧領域注入が行われなかった場合に、この領域が基層自身であることを示す。

次に、燐酸によるウェットエッチングまたは CF_4 プラズマエッチングにより窒化膜62を除去し、活性領域から窒化膜62が除去された第7g図に示された半導体構造を形成する。次に、例えばHF緩衝溶液を用いたエッチングにより、基礎となる酸化膜61を活性領域から除去し、第7h図に示されたように、例えば、約900℃の乾燥酸素雰囲気にて約3%の HCl を用いた約90分間の熱酸化により、ゲート酸化膜102を、約300~350Åの範囲の厚さにて半導体構造の全体に亘って形成する。所望に応じて、酸化膜102を形成した後に、周知のようにして、適当な閾値調整用注入を行う。

次、多結晶シリコン膜103(第7i図)を、例えば低

圧気相成長により、約3500Åの厚さにて半導体構造の全面に亘って被覆する。多結晶シリコン膜103は、電気的接続線、デバイスゲート領域及びコンデンサの電極として機能する。多結晶シリコン膜103は、その面抵抗値が約20~30オーム/単位面積に減少するように、燐によりドーパされる。

第7j図に示されているように、フォトレジスト及び周知のフォトリソグラフィ及びエッチング技術(例えば CF_4 プラズマによるエッチング)を用いて、Nウェル71、高電圧領域68及びPウェル65内の活性デバイス及びドーパされた多結晶シリコン接続線(図示せず)のためのゲートが形成される。

第2の実施例

隣接するウェル領域が自動的に自己整合するような本発明に基づき、ウェル領域を個別に注入により形成する第2の方法に於ては、第8a図に示された基礎となる酸化膜61及び窒化膜62が、デバイスのウェル領域の一つを郭成するためにパターン化される。第8a図に示されているように、このパターン化は、フォトレジスト63をスピニングにより窒化膜62に被覆することにより行われ、フォトレジスト63は次いでソフトバークされる。第1のウェル領域のマスクが、ウェーファに整合され、マスクにより露出したフォトレジストの領域に化学線が照射される。フォトレジストの露露された領域64が、第8a図に示さ

れるように除去される。次に、フォトレジスト63をハードバークし、窒化膜及び酸化膜のマスクされなかった領域を除去するために用いられる腐蝕液による影響を受けないようにする。第8b図に示されたように、一般に、マスクされなかった窒化膜の領域を除去するためにプラズマエッチングが用いられ、酸化膜の領域を除去するためにHF緩衝溶液が用いられる。

約 6×10^{12} イオン/ cm^2 の濃度及び約120 KeVのエネルギーレベルにて、燐素を用いてPウェル65の注入を行う。

第8c図に示されたように、次にフォトレジスト63を除去する。

第8d図に示されているように、Pウェル65をドーピングした後に、酸化膜66を、露出された領域に形成し、ウェーファを約900℃~1000℃の酸素雰囲気にて約1~3時間曝露し、Pウェル65内のドーパントを、基層60内に或る程度拡散させる。その結果、酸化膜66が約3000Åの厚さに形成される。

第8e図に示されたように、酸化膜66を形成した後に、第2のフォトレジスト膜67a、67bを所定のパターンにて形成し、第2のウェル領域を形成すべき部分を露出させる。次いで、(前記した要領にて)窒化膜62および酸化膜61の露出部分を除去し、第2のウェル68となるべき部分も露出させる。

特表昭61-502993 (8)

この第2のウェルを形成する過程が、この自己整合法の重要な特徴である。一方に於て、第2のフォトリソ膜67bではなく酸化膜66が第2のウェルの端縁部を界定する。従って、第2のウェル68の端縁は、フォトリソ膜67bの整合の精度に依存することなく、第1のウェル65の端縁に完全に整合する。従って、隣接するウェル同士を整合させる従来技術の問題が克服され、しかもこれが簡単に低コストにて達成される。

本実施例の場合、第2のウェルがドーパされ、高電圧デバイス形成する。軽度ドーパされた基層自身が高電圧領域として機能する所望の特性を有する場合には、高電圧領域を形成する必要がない。しかしながら、高電圧領域に於けるドーパントの形式及びドーパントの濃度を調整したい場合には、露出した高電圧領域68を、第8e図に示されたようにして、選択された形式の不純物を用いて注入により形成することができる。例えば、P型高電圧領域に対しては、約、 $1 \times 10^{14} \sim 4 \times 10^{14}$ 原子/cm²の濃度のドーパントが最終的に用いられている。

第8f図に示されているように、注入を行った後に、Pウェルドーパントの場合と同様に、高電圧領域のドーパントが、或る程度拡散し、酸化膜69が露出領域内にて成長する。前記した、Pウェルにて酸化膜を成長させるための条件と同一の条件を用いることにより、露出した高電圧領域に於ける酸化膜の急速な成長を達成することができ、P

ウェルの上側の既存の酸化膜の厚さの増大を緩慢なものにすることができる。これは、酸化膜の成長が、シリコン原子と酸素原子との間の近接度に依存する極めて非線形なものであるからである。

第8g図に示されたように、酸化膜及び窒化膜は、Nウェル71が形成されるべき高電圧ウェル68に隣接する領域から除去される。次いで、燐等からなるN型ドーパントを用い、約25KeVのエネルギーレベル及び約 5×10^{12} イオン/cm²の濃度にて低エネルギー注入を行う。ウェル領域65、68及び71のドーパントは、例えばウェーファを約1150℃の乾燥酸素雰囲気内にて約8～12時間加熱することにより、約3～6ミクロンの所望の接合深さに拡散され、酸化膜72を約1000Åの厚さに形成する。

或いは、所望に応じて、Nウェル71が形成されるべき高電圧ウェル68に隣接する領域から酸化膜61及び窒化膜62を除去する必要がない。この場合、燐等からなるN型ドーパントが、Nウェル71が形成されるべき部分を覆う酸化膜61及び窒化膜62を貫通する注入を行うために用いられる。この時、厚い酸化膜66、69がマスクとして機能する。注入を行った後、第8h図に示されたように、Nウェル71を形成するためにドーパントを拡散させる目的でデバイスを加熱する。窒化膜62がそのまま残されるため、第8h図に示されている厚い酸化膜72を、Nウェル領域71の上側に形成しない。適切かつ公知の技術を用

いることにより、窒化膜62及び酸化膜61、69及び66を除去し、以下に説明する工程を行うことにより、第9図に示された構造を得る。

ここで留意すべきことは、二つのフォトリソマスク63、67a、bを用いるのみで三つのウェルが形成され、一つのフォトリソマスクの端縁を、その前に形成されたマスクの端縁に整合させる必要がない点である。従って、自動的な自己整合を達成し得るような単純な製造方法が実現する。

必要に応じて、酸化膜72を、ウェル71をウェル68及び65の深さに拡散させるべく成長させることもできる。次いで、酸化膜66、69及び72を除去し、良好な平面度及び明瞭に区分されたウェル領域を有するデバイスのための3ウェル基層を形成することができる。

第8h図は、基層内に、Nウェル71、高電圧領域68及びPウェル65が残された酸化後の半導体構造を示す。第8h図に於ける高電圧領域68の周囲の破線は、高電圧領域注入が用いられなかった場合に基層自身がこの領域であって良いことを示している。次いで、例えば、HF緩衝溶液を用いることにより酸化膜66、69及び72が除去され、周知技術により、ウェル領域65、68及び71にデバイスが形成される。

第8j図に示された別の実施例は、高電圧領域に対する注入を行うことを必要することなく基層60を高電圧領域

として用い、二つの注入及び拡散されたウェル65、68を有する構造を提供する。本実施例の場合、第8d図に示されたように酸化膜66を形成し、第8e図に示されたようにフォトリソ膜67a、67bを被覆した後に、酸化膜/窒化膜61、62を貫通する注入を行うことにより、第8i図に示されたような注入ウェル領域68を形成する。ウェル68は、ウェル65に対して自動的に自己整合する。次に、約8～12時間に亘って、約1150℃の温度に加熱することにより注入ウェル68を拡散させる。次に、窒化膜62、厚い酸化膜66及び薄い酸化膜61を除去し、第8j図に示された、注入ウェル65、注入ウェル68及び高電圧デバイスとして適する基層領域60とからなる活性領域を形成するための三つの領域を有する。第8j図に示された基層が形成される。

当業者であれば本明細書の記載から容易に理解し得るように、最初に窒化膜62を除去することによりウェル領域68を注入することも可能である。この場合、ウェル領域68内の注入ドーパントを拡散させる間に、追加の厚い酸化膜をNウェル68の上側に形成する。この厚い酸化膜は、厚い酸化膜66の除去と同時に除去される。

本発明により形成されるデバイス

前記したいずれの実施例を用いた場合でも、ウェル領域及び基層自身に形成された酸化膜は、残された窒化膜と同様に除去される。その上から、新たな基層となる酸化膜

(厚さ約200～500Å)及び窒化膜(1500Å)が形成される。活性領域を界定する活性領域マスクを用い、フィールド注入を行うことにより、(一般に10000Åの厚さを有する)フィールド酸化膜を公知のようにして形成する。初期に形成された基礎となる酸化膜/窒化膜は除去され、ゲート絶縁体が形成される。

第9図～第11図は、前記した実施例のいずれかにより形成された3ウェル基層を用いる典型的な回路の一部の形成過程を示す。隣接するウェル間に厚い酸化膜101が形成され、隣接する活性領域間に寄生的な導電路が形成されるのを防止する。絶縁のための薄肉化された酸化膜102が、各ウェル領域の中心部の上面に形成される。

次に、前記したように多結晶シリコン膜が被着され、Nウェル71、高電圧領域68及びPウェル65内の活性デバイスのためのゲート121、122及び123並びにドーパされた多結晶シリコン相互接続線(図示せず)が形成される。

次に、ソース/ドレイン領域を形成するべくP型陽素イオンが注入される領域を露出させるフォトリソグラフからなるP型ソース/ドレインマスク130(第9図)を形成することにより、Nウェル71内にソース及びドレイン領域145(第10図)を形成する。陽素の注入は、50KeVのエネルギーレベルにて、 3×10^{15} イオン/cm²の濃度をもって行われる。高電圧領域68もN型である場合には、

陽素マスク130は、高電圧領域をも露出させる。

N+型イオンを注入するべき領域を露出させる(図示されない)フォトリソグラフからなるN+ソース/ドレインマスクを形成することによりPウェル65内にN+ソース及びドレイン領域を形成する。N+注入は、約75KeVのエネルギーレベルにて約 5×10^{15} 陽イオン/cm²の濃度にて行われる。高電圧領域68もP型である場合には、高電圧領域68のためのN+ソース/ドレイン注入を、Pウェル65内にN+ソース/ドレイン領域を形成するのと同時に形成することができる。

ソース及びドレイン注入の後、ウェーファを約900℃～1000℃の温度の酸素雰囲気内に曝露することにより、約0.3ミクロンの適切な接合深さを達成する。この過程の間に、ソース/ドレイン領域に約500Åの厚さの酸化膜が成長する。第9図に示されているように、このようにして形成された半導体構造は、高電圧領域68内に、P+Nウェルソース及びドレイン領域145、N+Pウェルソース及びドレイン領域146並びにソース/ドレイン領域147等を所望の導電形式を有するものとして形成することができる。

第1の金属接触膜AL-1、第2の金属接触膜AL-2、第1のPVX膜PVX-1及び第2のPVX膜PVX-2を有する。第10図に示されたようなデバイスを形成するために、領域65、68及び71の活性デバイスの形成を

完成するために標準的な処理技術が用いられた。

上記した実施例は例示のためのものであって、本発明を何等限定するものでなく、当業者であれば、上記した開示事項から、本発明の概念から逸脱することなく種々の変形変更を加えて本発明を実施することができる。例えば、当業者であれば本明細書の記載から容易に理解し得るように、ウェル領域を最初に形成してにおいて、次にフィールド注入を形成することも可能である。また、三つ以上の領域を形成することも可能で、例えば、異なる導電形式を有する二つの高電圧領域を設けることもできる。更に、第2のウェルを、第1のウェルに隣接して設ける必要はなく、フォトリソグラフにより、第2のウェルの両境界線を界定することも可能である。第2のウェルに厚い酸化膜を形成した後、第1のウェル及び第2のウェルの上面に形成された厚い酸化膜により第3のウェルの両境界線を界定することができる。

符号(内容に変更なし)

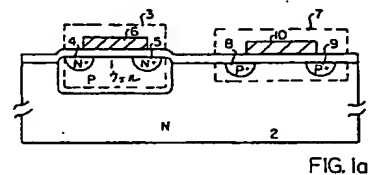


FIG. 1a

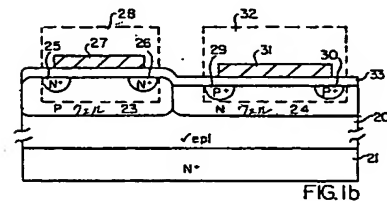


FIG. 1b

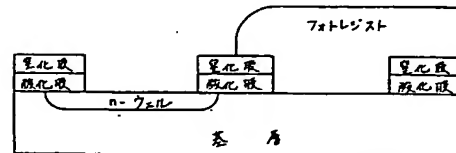


FIG. 2a

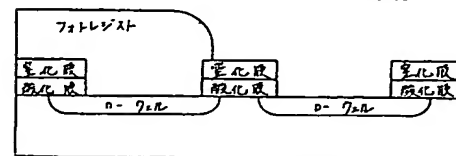


FIG. 2b

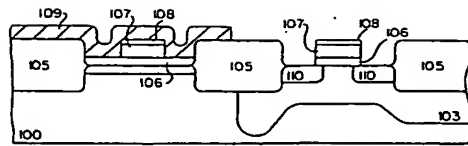


FIG. 3a

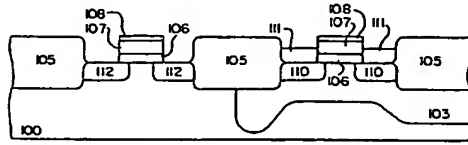


FIG. 3b

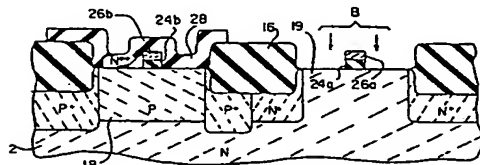


FIG. 4a

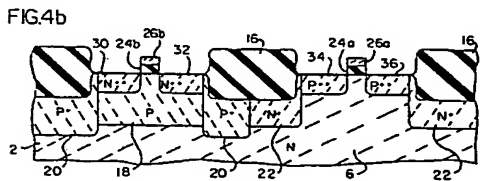


FIG. 4b

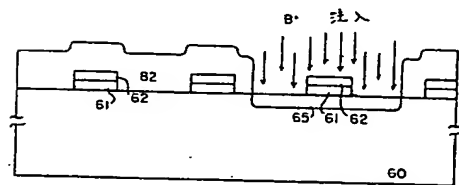


FIG. 7d

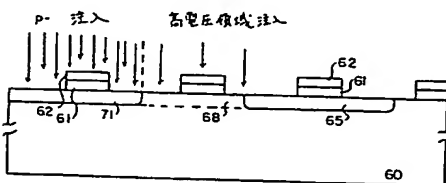


FIG. 7e

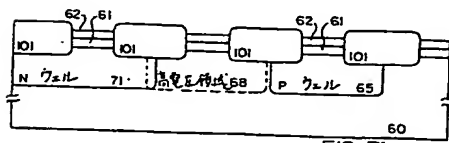


FIG. 7f

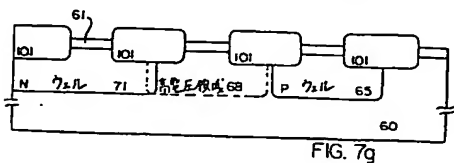


FIG. 7g

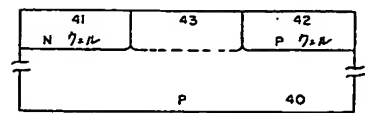


FIG. 5

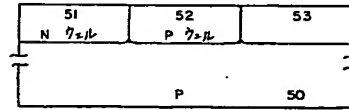


FIG. 6

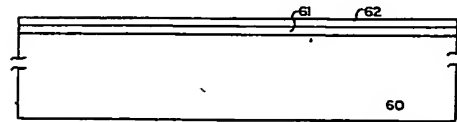


FIG. 7a

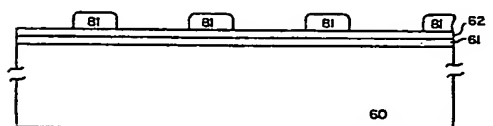


FIG. 7b

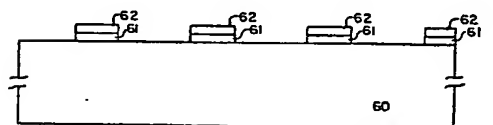


FIG. 7c

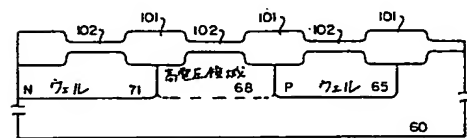


FIG. 7h

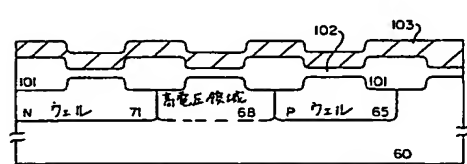


FIG. 7i

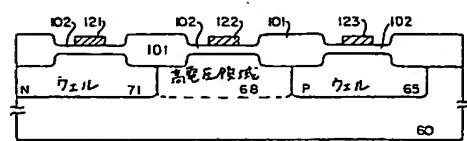


FIG. 7j

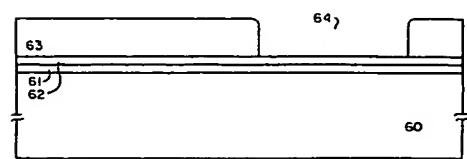


FIG. 8a

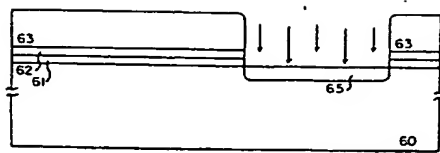


FIG. 8b

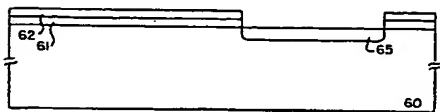


FIG. 8c

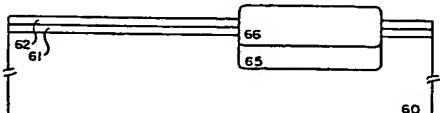


FIG. 8d

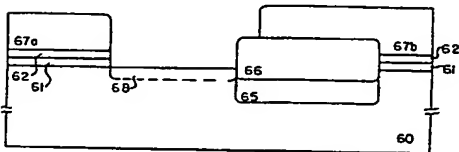


FIG. 8e

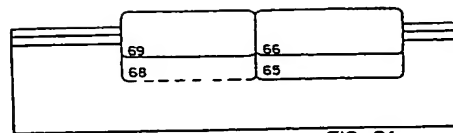


FIG. 8f

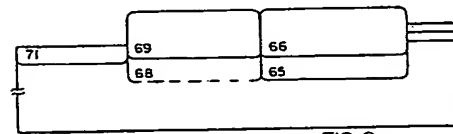


FIG. 8g

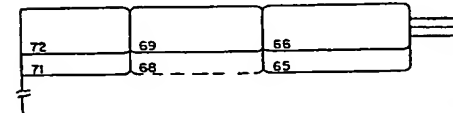


FIG. 8h

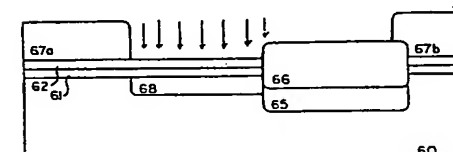


FIG. 8i

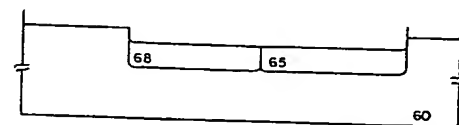


FIG. 8j

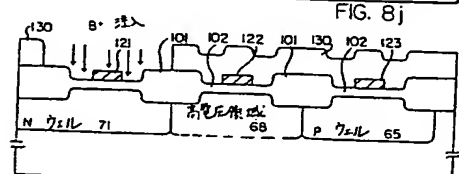


FIG. 9

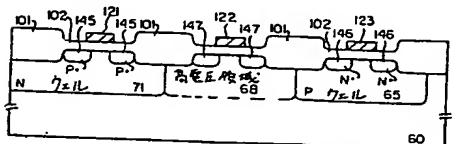


FIG. 10

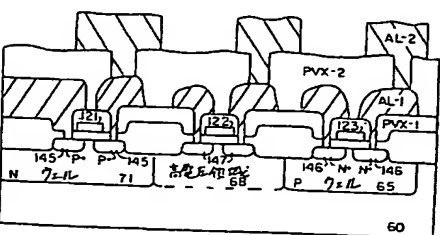


FIG. 11

手続補正書(方式)

昭和61年9月17日
(不受理再出)

特許庁長官 黒田 明雄 殿

1. 事件の表示 PCT/US85/00990

2. 発明の名称 3ウェルCMOS技術

3. 補正をする者

事件との関係 特許出願人

住 所 アメリカ合衆国カリフォルニア州 95051・

サンタクララ・ホームステッドロード 3800

名 称 アメリカン・マイクロシステムズ・

インコーポレイテッド

4. 代理人

居 所 〒102 東京都千代田区飯田橋1-8-6

渋谷ビル 電話 262-1761

氏 名 (8926) 弁理士 大島 陽一

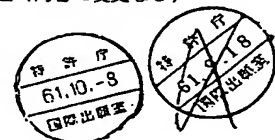
5. 補正命令の日付

昭和61年7月3日(発送日昭和61年7月8日)

6. 補正の対象 図面の翻訳文の浄書(内容に変更なし)

7. 補正の内容 別紙の通り

8. 添付書類 上申書 1通



国际調査報告

International Application No. PCT/US85/00990

1. CLASSIFICATION OF SUBJECT MATTER OF INVENTION (classification system, code, number, etc.)

IPC CL. 357/42, 43, 44
U.S. CL. 357/42, 43, 44

2. FIELDS SEARCHED

Classification System: US
Classification Symbols: 357/42, 43, 44

3. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Number of Documents, in each subcategory, where appropriate, of the relevant document	Reference to Class No.
A	US, A, 4205342 Published 27 MAY 1980,	1-8
A	US, A, 4412142 Published 25 OCTOBER 1983, RAGONESS	1-8
A	IEEE Journal of Solid State Circuits VOL. SC-9, No. 3, pages 103-110 BLANCHARD Published JUNE 1974	1-8
A	JA KOKAI 57-155768 OSA Published 25 September 1982	1-8

4. CERTIFICATION

Date of filing of the International Search Report: 12 AUG 1985

29 JULY 1985

ISA/US

Signature of Applicant: Mark Prentz

International Application No. PCT/US85/00990

FURTHER INFORMATION CONTAINED FROM THE RECORD SHEET

1. OBSERVATIONS WHERE CERTAIN CLAIMS WERE FOUND UNSearchable

This international search report has not been established in respect of certain claims under Article 17(2) of the following reasons:

1. ☐ Claims numbers _____ because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims numbers _____ because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out (1), namely:

3. ☐ OBSERVATIONS WHERE UNITY OF INVENTION IS LACKING

This international searching authority found multiple inventions in this international application as follows:

Claims 1-8 drawn to a semiconductor device.
Claims 9-23 drawn to a process of making the device.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims of the international application.

2. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims of the international application for which fees were paid, specifically claims: 1-8

3. ☒ As the required additional search fees were timely paid by the applicant, consequently, this international search report is established in the invention first mentioned in the claims it is covered by claim numbers: 1-8

4. ☐ As all searchable claims would be searched without effort justifying an additional fee, the international searching authority did not levy payment of any additional fee.

5. ☐ The additional search fees were accompanied by applicant's protest.

6. ☐ The protest accompanied the payment of additional search fees.

Form PCT/ISA/210 (International Search Report) (October 1981)